

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-143570

(43)Date of publication of application : 28.05.1999

(51)Int.Cl. G06F 1/04

(21)Application number : 09-308592 (71)Applicant : KAWASAKI STEEL
CORP

(22)Date of filing : 11.11.1997 (72)Inventor : HAYASHI HIROYUKI

(54) CLOCK STOP SIGNAL GENERATION CIRCUIT FOR LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock stop signal generation circuit for an LSI capable of shifting the LSI into a low power consumption mode without needing a dedicated external pin or an internal register.

SOLUTION: This circuit 10 monitors the states of more than two signals S1 to SN which are separately inputted from an input pin or a directional pin in an input state, detects whether or not all of more than two signals S1 to SN stop for more than a prescribed fixed time and generates a sleep flag SLP in accordance with it to control the operation or stop of an internal clock signal that is supplied to an internal circuit in accordance with the state of the sleep flag SLP.

LEGAL STATUS [Date of request for examination] 10.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It acts as the monitor of the condition of at least two signals
respectively inputted from an input pin or the bidirectional pin of an input state.

The condition monitor circuit where said all at least two signals detect whether it has stopped beyond predetermined fixed time amount, and it generates a sleep flag according to this, The clock stop signal generation circuit of LSI characterized by having the clock halt circuit which controls the actuation or a halt of an internal clock signal supplied to an internal circuitry according to the condition of said sleep flag.

[Claim 2] The clock stop signal generation circuit of LSI according to claim 1 characterized by generating two or more sleep flags according to the time amount which said all at least two signals have stopped.

[Claim 3] The clock stop signal generation circuit of LSI which is the clock stop signal generation circuit of LSI according to claim 1 or 2, and is characterized by generating two or more sleep flags by establishing respectively said signal which acts as a monitor for two or more group part opium poppies and clock stop signal generation circuits of said LSI.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the clock stop signal generation circuit of LSI which controls whether the internal clock signal supplied to an internal circuitry is operated, or it is made to stop.

[0002]

[Description of the Prior Art] In recent years, low-power-ization of LSI is one of the important technical problems with the spread of pocket electronic equipment of a cell drive, such as a cellular phone and a notebook computer. For example, although CMOS-LSI is a low power fundamentally on the structure of a component, as low-power mode, interior actions, such as a condition machine and memory access, are stopped during the period which has not contributed to specific actuation in a system instrument, or it has some which are stopping the internal clock signal further.

[0003] For example, it sets up whether if time amount is formed by only which to JP,8-221148,A in the condition that there are no external inputs, such as whether an operator shifts to low-power mode in a standby condition, a key touch, and a call signal, it will shift to low-power mode at it, and when the time amount set up by the operator passes in the condition that there is no external input, supply of the clock signal to the internal circuitry of LSI is suspended, and the information processor it was made to make shift to low-power mode is indicated.

[0004] Moreover, by dividing an internal circuitry into two or more functional block, and inputting two or more change signals which show the combination of functional block operated from a change pin at JP,9-200026,A, a clock signal is supplied about functional block operated among functional block of these plurality, and the LSI logical circuit where supply of a clock signal was made to suspend is indicated about functional block which is not operated.

[0005] Moreover, counting of the elapsed time when an internal circuitry will be in an idle state at JP,5-61576,A, after detecting the state-transition signal outputted from an internal circuitry and detecting this state-transition signal is carried out, and when this elapsed time exceeds the time setting data set up beforehand, the semiconductor integrated circuit equipment controlled to lower the frequency of the clock signal supplied to an internal circuitry and its power control approach are indicated.

[0006] Thus, as a Prior art for reducing the power consumption of LSI, stop the clock signal supplied to LSI, for example by the hardware of the LSI exterior, or LSI is made to shift to low-power mode through the external pin of dedication, the internal clock is made to suspend, or the internal register of LSI is set up with the instruction of the software from CPU, and LSI is made to shift to low-power mode.

[0007] However, in the various equipments and approach of an indication in

each official report which are mentioned above, it is necessary to perform directly directions of various setup for making LSI shift to low-power mode, or discharge indirectly for example, through an external pin from the exterior of LSI using an internal register etc. For this reason, the control by the software and the external hardware of CPU was needed, it became cost quantity, and there was a trouble of being unable to perform fine power consumption control.

[0008]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the clock stop signal generation circuit of LSI which can make LSI shift to low-power mode, without trying to return the trouble based on said conventional technique, and needing the external pin and internal register of dedication.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention acts as the monitor of the condition of at least two signals respectively inputted from an input pin or the bidirectional pin of an input state. The condition monitor circuit where said all at least two signals detect whether it has stopped beyond predetermined fixed time amount, and it generates a sleep flag according to this, The clock stop signal generation circuit of LSI characterized by having the clock halt circuit which controls the actuation or a halt of an internal clock signal supplied to an internal circuitry according to the

condition of said sleep flag is offered.

[0010] It is desirable to generate two or more sleep flags here according to the time amount which said all at least two signals have stopped. Moreover, it is the clock stop signal generation circuit of Above LSI, and it is desirable to generate two or more sleep flags by establishing respectively said signal which acts as a monitor for two or more group part opium poppies and clock stop signal generation circuits of said LSI.

[0011]

[Embodiment of the Invention] Below, based on the suitable example shown in an attached drawing, the clock stop signal generation circuit of LSI of this invention is explained at a detail.

[0012] Drawing 1 is the configuration conceptual diagram of one example of the clock stop signal generation circuit of LSI of this invention. As shown in this drawing, by acting as the monitor of two or more signals inputted, the clock stop signal generation circuit 10 of LSI of this invention detects whether it can shift to low-power mode, controls the actuation or a halt of an internal clock signal supplied to an internal circuitry, and has the condition monitor circuit 12 and the clock halt circuit 14 fundamentally.

[0013] In the clock stop signal generation circuit 10 of LSI, the condition monitor circuit 12 acts as the monitor of the condition of two or more signals inputted,

detects whether all these signals have stopped beyond predetermined fixed time amount, and generates the sleep flag SLP according to this. A clock signal CLK is inputted into the condition monitor circuit 12 through two or more Signals S1, S2, --, SN and clocked into pins through an input pin, and the sleep flag SLP is outputted to it from the condition monitor circuit 12.

[0014] Although it is infinite to the number, it is [that what is necessary is for the number of the signals which act as a monitor by the condition monitor circuit 12 just to be at least two] desirable to act, for example as the monitor of the address signal etc. In addition, although acted as the monitor of the signal inputted from an input pin in the above-mentioned example, this invention may include the signal which the signal which is not limited to this, for example, is inputted from the bidirectional pin of an input state is sufficient as, and may be the combination of the signal inputted from these pins, or is generated by the internal circuitry.

[0015] Here, the configuration circuit diagram of one example of a condition monitor circuit is shown in drawing 2 . The condition monitor circuit 12 of the example of illustration has the state-transition detector 16, a counter 18, and the register 20 grade for sleep flag generation. The state-transition detector 16 detects the state transition of each signals S1, S2, --, SN which act as a monitor, and is established in 1 to 1 corresponding to each signals S1, S2, --, SN which

act as a monitor.

[0016] The state-transition detector 16 of drawing 2 has flip-flops 22 and 24 and the ENOR gate 26, the signal which acts as a monitor respectively, and the output signal of a flip-flop 22 are inputted into the data input terminal of flip-flops 22 and 24, and the clock signal CLK is inputted into the clock input terminal both. Moreover, the output signal of flip-flops 22 and 24 is inputted into the ENOR gate 26, and the output signal is inputted into the AND gate 28 and NAND gate 30.

[0017] In each state-transition detector 16, when it is detected that the signals S1, S2, --, SN which act as a monitor changed high-level from a low level from high level or a low level, from the ENOR gate 26, the pulse of a low level with the pulse width equivalent to the time amount for one period of a clock signal CLK is outputted. On the other hand, when it is detected that Signals S1, S2, --, SN have stopped, the output signal of the ENOR gate 26 is held high-level.

[0018] namely, from the AND gate 28 and NAND gate 30 Only when it is detected that high level S1, S2, --, SN, i.e., all signals, has stopped [the output signal of all the ENOR gates 26] High level and a low level are outputted respectively, and when it is detected that a low level S1, S2, --, SN, i.e., at least one signals, changed [the output signal of at least one ENOR gate 26], a low level and high level are outputted respectively.

[0019] Moreover, a counter 18 is cleared by the signal inputted into the clear

input terminal CLR, and it counts a clock signal CLK until it becomes the fixed number of counts set up beforehand with the signal inputted into the enabling input terminal EN. The output signal of the AND gate 28, the output signal of NAND gate 30, and the clock signal CLK are respectively inputted into the enabling input terminal EN of a counter 18, the clear input terminal CLR, and the clock input terminal.

[0020] A counter 18 is cleared by the high level of the output signal of NAND gate 30, and let the output signal CO be a low level in the example of illustration. moreover, the counter 18 -- the output signal of NAND gate 30 -- a low level -- in addition -- and when the clock signal CLK was counted, and the output signal of the AND gate 28 is high-level and it counts until it becomes the fixed number of counts set up beforehand, in the example of illustration, the output signal CO is held high-level.

[0021] In addition, the number of counts of the clock signal CLK counted with a counter 18 is equivalent to time amount until the sleep flag SLP is set with the register 20 for sleep flag generation described below, after it is detected by the state-transition detector 16 that all the signals S1, S2, --, SN have stopped. Therefore, fine power consumption control can be performed by determining this number of counts suitably.

[0022] The register 20 for sleep flag generation is set by the signal inputted into

the set input terminal S, and generates the sleep flag SLP reset by the signal inputted into the reset input terminal R. Reset-signal RSTN of the output signal CO of a counter 18, the output signal of NAND gate 30, and the whole LSI inputted through an external pin is respectively inputted into the set input terminal S, the reset input terminal R, and clear input terminal of the register 20 for sleep flag generation.

[0023] The register 20 for sleep flag generation is cleared by the low level of reset-signal RSTN in the example of illustration, and the sleep flag SLP is reset by the low level. Moreover, the sleep flag SLP is set by the high level of the output signal of a counter 18 high-level, and, as for the register 20 for sleep flag generation, the sleep flag SLP is reset by the low level with the high level of the output signal of NAND gate 30.

[0024] Namely, it sets in the condition monitor circuit 12 of drawing 2 . The state transition of each signals S1, S2, --, SN inputted from an input pin When it is detected by the state-transition detector 16 respectively corresponding to this and it is detected that all the signals S1, S2, --, SN have stopped, with a counter 18 After a clock signal CLK counts to the fixed number of counts set up beforehand, the sleep flag SLP is set with the register 20 for sleep flag generation.

[0025] Then, the clock halt circuit 14 controls the actuation or a halt of an internal

clock signal supplied to an internal circuitry according to the condition of the sleep flag SLP. A clock signal CLK and the sleep flag SLP outputted from the condition monitor circuit 12 are inputted into the clock halt circuit 14, and the internal clock signal supplied to internal circuitries other than clock stop signal generation circuit 10 of this LSI is outputted to it from the clock halt circuit 14.

[0026] Here, the configuration circuit diagram of one example of a clock halt circuit is shown in drawing 3 . The clock halt circuit 14 of drawing 3 has a flip-flop 32 and the AND gate 34. The sleep flag SLP and a clock signal CLK are respectively inputted into the data input terminal of a flip-flop 32, and a clock input terminal, the output signal and clock signal CLK of a flip-flop 32 are inputted into the AND gate 34, and the internal clock signal is outputted to it from the AND gate 34.

[0027] In the clock halt circuit 14 of drawing 3 , the sleep flag SLP is held in falling of a clock signal CLK at a flip-flop 32. When the sleep flag SLP held at the flip-flop 32 is high-level in the case of the example of illustration, an internal clock signal is compulsorily made into a low level, and when the sleep flag SLP is a low level, a clock signal CLK is supplied to an internal circuitry as an internal clock signal through the AND gate 34.

[0028] The clock stop signal generation circuit 10 of LSI of this invention is the thing of the above configurations fundamentally. In addition, although the

concrete circuitry shown in drawing 2 and drawing 3 was illustrated and the condition monitor circuit 12 and the clock halt circuit 14 were explained in the above-mentioned example, in this invention, the concrete circuitry of the condition monitor circuit 12 and the clock halt circuit 14 is not limited at all.

[0029] Next, actuation of the clock stop signal generation circuit of LSI of this invention is explained, referring to the timing chart of drawing 4 . Here, drawing 4 is the timing chart showing actuation of the clock stop signal generation circuit of LSI of this invention of one example.

[0030] In the clock stop signal generation circuit 10 of LSI of this invention, the state-transition detector 16 respectively corresponding to this always acts as the monitor of the signals S1, S2, --, SN inputted from each input pin. As shown in the timing chart of drawing 4 , when it is detected by each state-transition detector 16 that all the signals S1, S2, --, SN have stopped, the output signal of all the ENOR gates 26 is held high-level.

[0031] The output signal of the AND gate 28 and NAND gate 30 serves as high level and a low level respectively, and the count of a clock signal CLK is started with a counter 18 by this. By the counter 18, if a clock signal CLK counts to the fixed number of counts (nT) set up beforehand, the output signal CO of a counter 18 will become high-level, the register 20 for sleep flag generation will be set, and the sleep flag SLP will be set high-level.

[0032] Then, the high level of the sleep flag SLP is held in falling of a clock signal CLK at the flip-flop 32 of the clock halt circuit 14, and an internal clock signal is compulsorily held by the AND gate 34 by this at a low level. Thus, in this invention, by suspending the internal clock supplied to an internal circuitry as low-power mode, all actuation of an internal circuitry is suspended and the power consumption can be reduced.

[0033] Then, when it is detected that at least one of Signals S1, S2, --, SN changed, the output signal of the ENOR gate 26 is set to a low level. From the AND gate 28 and NAND gate 30, a low level and high level are respectively outputted by this, the output signal CO of a counter 18 is cleared, and it is set to a low level, and the register 20 for sleep flag generation is reset by the output signal of NAND gate 30, and the sleep flag SLP is set to a low level.

[0034] Then, the low level of the sleep flag SLP is held in falling of a clock signal CLK at the flip-flop 32 of the clock halt circuit 14, and a clock signal CLK is supplied to an internal circuitry by this as an internal clock signal through the AND gate 34. Thereby, an internal circuitry resumes actuation. The clock stop signal generation circuit 10 of LSI of this invention operates as mentioned above fundamentally.

[0035] As mentioned above, although the clock stop signal generation circuit of LSI of this invention was explained to the detail, of course in the range which this

invention is not limited to the above-mentioned example, and does not deviate from the main point of this invention, various amelioration and modification may be made.

[0036] For example, set two or more numbers of counts as the counter beforehand, and two or more sleep flags are generated according to the number of counts of these plurality. Respectively the signal which may be made to generate two or more low-power modes in the interior of LSI, and acts as a monitor by preparing two or more group part opium poppies and clock stop signal generation circuits of LSI of this invention Two or more sleep flags SLP may be generated, and two or more low-power modes may be generated inside LSI, or these may be combined.

[0037]

[Effect of the Invention] To the appearance explained to the detail above, the clock stop signal generation circuit of LSI of this invention It acts as the monitor of the condition of two or more signals respectively inputted from an input pin or the bidirectional pin of an input state. All these two or more signals detect whether it has stopped beyond predetermined fixed time amount, it generates a sleep flag according to this, and controls actuation or a halt of the internal clock signal supplied to an internal circuitry according to the condition of this sleep flag. Thus, since it judges spontaneously whether it can be made to shift to low-power

mode by acting as the monitor of two or more signals according to the clock stop signal generation circuit of LSI of this invention, Since there is no need of performing directly or indirectly directions of various setup for making it shifting to low-power mode or discharge from the exterior of LSI and control by the software and the external hardware of CPU can be made unnecessary, Cost for that is reducible, and since it judges spontaneously and is made to shift to low-power mode, fine power consumption control can be performed.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the configuration conceptual diagram of one example of the clock stop signal generation circuit of LSI of this invention.

[Drawing 2] It is the configuration circuit diagram of one example of the condition monitor circuit of the clock stop signal generation circuit of LSI of this invention.

[Drawing 3] It is the configuration circuit diagram of one example of the clock halt circuit of the clock stop signal generation circuit of LSI of this invention.

[Drawing 4] It is the timing chart showing actuation of the clock stop signal generation circuit of LSI of this invention of one example.

[Description of Notations]

10 Clock Stop Signal Generation Circuit of LSI

12 Condition Monitor Circuit

14 Clock Halt Circuit

16 State-Transition Detector

18 Counter

20 Register for Sleep Flag Generation

22, 24, 32 Flip-flop

26 ENOR Gate

28 34 AND gate

30 NAND Gate

S1, S2, --, SN Signal

CLK Clock signal

SLP Sleep flag

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143570

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁸

G 0 6 F 1/04

識別記号

3 0 1

F I

G 0 6 F 1/04

3 0 1 C

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-308592

(22) 出願日

平成9年(1997)11月11日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 林 博之

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

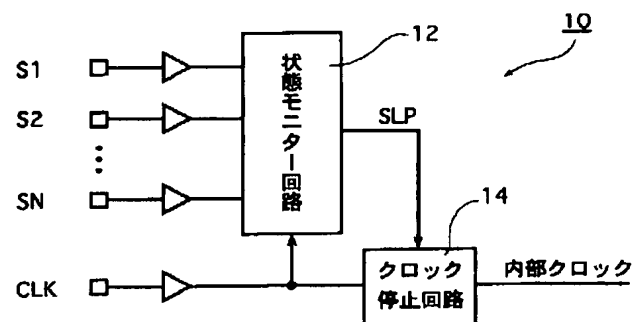
(74) 代理人 弁理士 渡辺 望穂 (外1名)

(54) 【発明の名称】 L S I のクロック停止信号生成回路

(57) 【要約】

【課題】 専用の外部ピンや内部レジスタを必要とすることなく、L S I を低消費電力モードに移行させることができる L S I のクロック停止信号生成回路を提供すること。

【解決手段】 入力ピンまたは入力状態の双方向ピンから各々入力される2本以上の信号の状態をモニターし、これら2本以上の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成し、このスリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するようにしたことにより、上記課題を解決する。



【特許請求の範囲】

【請求項 1】入力ピンまたは入力状態の双方向ピンから各々入力される少なくとも 2 本の信号の状態をモニターし、前記少なくとも 2 本の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成する状態モニター回路と、前記スリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するクロック停止回路とを有することを特徴とする L S I のクロック停止信号生成回路。

【請求項 2】前記少なくとも 2 本の信号の全てが停止している時間に応じて、複数のスリープフラグを生成することを特徴とする請求項 1 に記載の L S I のクロック停止信号生成回路。

【請求項 3】請求項 1 または 2 に記載の L S I のクロック停止信号生成回路であって、前記モニターする信号を各々グループ分けし、前記 L S I のクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグを生成することを特徴とする L S I のクロック停止信号生成回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、内部回路に供給される内部クロック信号を動作させるか、あるいは、停止させるかを制御する L S I のクロック停止信号生成回路に関するものである。

【0002】

【従来の技術】近年、携帯電話やノートパソコン等の電池駆動の携帯電子機器の普及に伴って、L S I の低消費電力化が重要な課題の 1 つになっている。例えば、C M O S - L S I は、素子の構造上、基本的に低消費電力であるが、システム機器の中で特定の動作に寄与していない期間中は、低消費電力モードとして、状態マシンやメモリアクセス等の内部動作を停止させたり、さらには内部クロック信号を停止させているものもある。

【0003】例えば、特開平 8-221148 号公報には、操作者が、待機状態時に低消費電力モードに移行するか否か、および、キータッチや呼出信号などの外部入力がない状態で、どれだけ時間がたったら低消費電力モードに移行するかを設定し、外部入力がない状態で、操作者によって設定された時間が経過した時に、L S I の内部回路へのクロック信号の供給を停止し、低消費電力モードに移行させるようにした情報処理装置が開示されている。

【0004】また、特開平 9-200026 号公報には、内部回路を複数の機能ブロックに分割し、切り替えピンから、動作させる機能ブロックの組合せを示す複数の切り替え信号を入力することによって、これら複数の機能ブロックの内、動作させる機能ブロックについてはクロック信号が供給され、動作させない機能ブロックに

ついては、クロック信号の供給が停止されるようにした L S I 論理回路が開示されている。

【0005】また、特開平 5-61576 号公報には、内部回路がアイドル状態になった場合に、内部回路から出力される状態遷移信号を検出し、この状態遷移信号が検出されてからの経過時間を計数し、この経過時間が、予め設定された時間設定データを越えたときに、内部回路に供給されるクロック信号の周波数を下げるように制御するようにした半導体集積回路装置およびその電力制御方法が開示されている。

【0006】このように、L S I の消費電力を削減するための従来の技術としては、例えば L S I 外部のハードウェアによって、L S I に供給されるクロック信号を停止したり、あるいは、専用の外部ピンを介して L S I を低消費電力モードに移行させ、その内部クロックが停止されるようにしたり、C P U からのソフトウェアの命令によって L S I の内部レジスタを設定し、L S I を低消費電力モードに移行させたりしている。

【0007】しかしながら、上述する各公報に開示の各種装置や方法においては、L S I の外部から、L S I を低消費電力モードに移行させるための各種設定や解除の指示を、例えば外部ピンを経て直接的に、あるいは、内部レジスタ等を使用して間接的に行う必要がある。このため、C P U のソフトウェアや外付けハードウェアによる制御が必要となってコスト高になるし、きめ細かい消費電力制御ができない等の問題点があった。

【0008】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点をかえりみて、専用の外部ピンや内部レジスタを必要とすることなく、L S I を低消費電力モードに移行させることができる L S I のクロック停止信号生成回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、入力ピンまたは入力状態の双方向ピンから各々入力される少なくとも 2 本の信号の状態をモニターし、前記少なくとも 2 本の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成する状態モニター回路と、前記スリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するクロック停止回路とを有することを特徴とする L S I のクロック停止信号生成回路を提供するものである。

【0010】ここで、前記少なくとも 2 本の信号の全てが停止している時間に応じて、複数のスリープフラグを生成するのが好ましい。また、上記 L S I のクロック停止信号生成回路であって、前記モニターする信号を各々グループ分けし、前記 L S I のクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグを生成するのが好ましい。

【0011】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明のLSIのクロック停止信号生成回路を詳細に説明する。

【0012】図1は、本発明のLSIのクロック停止信号生成回路の一実施例の構成概念図である。同図に示すように、本発明のLSIのクロック停止信号生成回路10は、入力される複数の信号をモニターすることによって、低消費電力モードに移行することができるか否かを検出し、内部回路に供給される内部クロック信号の動作または停止を制御するもので、基本的に、状態モニター回路12、および、クロック停止回路14を有する。

【0013】LSIのクロック停止信号生成回路10において、状態モニター回路12は、入力される複数の信号の状態をモニターし、これら全ての信号が所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグSLPを生成する。状態モニター回路12には、入力ピンを介して複数の信号S1、S2、…、SN、および、クロック入力ピンを介してクロック信号CLKが入力され、状態モニター回路12からは、スリープフラグSLPが出力されている。

【0014】状態モニター回路12によってモニターする信号は少なくとも2本であればよく、その本数に上限はないが、例えばアドレス信号等をモニターするのが好ましい。なお、上記実施例では、入力ピンから入力される信号をモニターしているが、本発明はこれに限定されず、例えば入力状態の双方向ピンから入力される信号でもよいし、これらのピンから入力される信号の組合せであってもよいし、あるいは、内部回路で生成される信号を含んでいてもよい。

【0015】ここで、図2に、状態モニター回路の一実施例の構成回路図を示す。図示例の状態モニター回路12は、状態遷移検出回路16、カウンタ18、スリープフラグ生成用レジスタ20等を有する。状態遷移検出回路16は、モニターする各々の信号S1、S2、…、SNの状態遷移を検出するもので、モニターする各々の信号S1、S2、…、SNに対応して1対1に設けられている。

【0016】図2の状態遷移検出回路16は、フリップフロップ22、24およびENORゲート26を有し、フリップフロップ22、24のデータ入力端子には、各々モニターする信号、フリップフロップ22の出力信号が入力され、そのクロック入力端子にはともにクロック信号CLKが入力されている。また、ENORゲート26には、フリップフロップ22、24の出力信号が入力され、その出力信号は、ANDゲート28およびNANDゲート30に入力されている。

【0017】各々の状態遷移検出回路16において、モニターする信号S1、S2、…、SNが、ハイレベルからローレベル、または、ローレベルからハイレベルに遷

移したことが検出された場合、ENORゲート26からは、クロック信号CLKの1周期分の時間に相当するパルス幅を持つローレベルのパルスが出力される。これに対し、信号S1、S2、…、SNが停止していることが検出された場合、ENORゲート26の出力信号はハイレベルに保持される。

【0018】すなわち、ANDゲート28、NANDゲート30からは、全てのENORゲート26の出力信号がハイレベル、すなわち、全ての信号S1、S2、…、SNが停止していることが検出された場合にのみ、各々ハイレベル、ローレベルが出力され、少なくとも1つのENORゲート26の出力信号がローレベル、すなわち、少なくとも1つの信号S1、S2、…、SNが遷移したことが検出された場合には、各々ローレベル、ハイレベルが出力される。

【0019】また、カウンタ18は、クリア入力端子CLRに入力される信号によってクリアされ、イネーブル入力端子ENに入力される信号によって、予め設定されている一定のカウント数になるまでクロック信号CLKをカウントする。カウンタ18のイネーブル入力端子EN、クリア入力端子CLR、クロック入力端子には、各々ANDゲート28の出力信号、NANDゲート30の出力信号、クロック信号CLKが入力されている。

【0020】カウンタ18は、NANDゲート30の出力信号のハイレベルによってクリアされ、図示例においては、その出力信号COがローレベルとされる。また、カウンタ18は、NANDゲート30の出力信号がローレベル、なおかつ、ANDゲート28の出力信号がハイレベルの場合、クロック信号CLKをカウントし、予め設定されている一定のカウント数になるまでカウントした時点で、図示例では、その出力信号COがハイレベルに保持される。

【0021】なお、カウンタ18によってカウントされるクロック信号CLKのカウント数は、状態遷移検出回路16によって、全ての信号S1、S2、…、SNが停止していることが検出された後、次に述べるスリープフラグ生成用レジスタ20によって、スリープフラグSLPがセットされるまでの時間に相当するものである。従って、このカウント数を適宜決定することによって、きめ細かい消費電力制御を行うことができる。

【0022】スリープフラグ生成用レジスタ20は、セット入力端子Sに入力される信号によってセットされ、リセット入力端子Rに入力される信号によってリセットされるスリープフラグSLPを生成する。スリープフラグ生成用レジスタ20のセット入力端子S、リセット入力端子R、クリア入力端子には、各々カウンタ18の出力信号CO、NANDゲート30の出力信号、外部ピンを経て入力されるLSI全体のリセット信号RSTNが入力されている。

【0023】スリープフラグ生成用レジスタ20は、図

示例においては、リセット信号 RSTN のローレベルによってクリアされ、スリープフラグ SLP がローレベルにリセットされる。また、スリープフラグ生成用レジスタ 20 は、カウンタ 18 の出力信号のハイレベルによって、スリープフラグ SLP がハイレベルにセットされ、NAND ゲート 30 の出力信号のハイレベルによって、スリープフラグ SLP がローレベルにリセットされる。

【0024】すなわち、図 2 の状態モニター回路 12 においては、入力ピンから入力される各々の信号 S1, S2, ..., SN の状態遷移が、これに各々対応する状態遷移検出回路 16 によって検出され、全ての信号 S1, S2, ..., SN が停止していることが検出された場合、カウンタ 18 によって、予め設定された一定のカウント数までクロック信号 CLK がカウントされた後、スリープフラグ生成用レジスタ 20 によってスリープフラグ SLP がセットされる。

【0025】続いて、クロック停止回路 14 は、スリープフラグ SLP の状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御する。クロック停止回路 14 には、クロック信号 CLK、および、状態モニター回路 12 から出力されるスリープフラグ SLP が入力され、クロック停止回路 14 からは、この LSI のクロック停止信号生成回路 10 以外の内部回路に供給される内部クロック信号が出力されている。

【0026】ここで、図 3 に、クロック停止回路の一実施例の構成回路図を示す。図 3 のクロック停止回路 14 は、フリップフロップ 32 および AND ゲート 34 を有する。フリップフロップ 32 のデータ入力端子、クロック入力端子には各々スリープフラグ SLP、クロック信号 CLK が入力され、AND ゲート 34 には、フリップフロップ 32 の出力信号およびクロック信号 CLK が入力され、AND ゲート 34 からは、内部クロック信号が出力されている。

【0027】図 3 のクロック停止回路 14 において、スリープフラグ SLP は、クロック信号 CLK の立ち下がりでフリップフロップ 32 に保持される。図示例の場合、フリップフロップ 32 に保持されたスリープフラグ SLP がハイレベルである場合、内部クロック信号は強制的にローレベルとされ、スリープフラグ SLP がローレベルである場合、クロック信号 CLK が、AND ゲート 34 を介して内部クロック信号として内部回路に供給される。

【0028】本発明の LSI のクロック停止信号生成回路 10 は、基本的に以上のような構成のものである。なお、上記実施例では、図 2 および図 3 に示す具体的な回路構成を例示して、状態モニター回路 12 およびクロック停止回路 14 について説明したが、本発明において、状態モニター回路 12 およびクロック停止回路 14 の具体的な回路構成は何ら限定されるものではない。

【0029】次に、図 4 のタイミングチャートを参照し

ながら、本発明の LSI のクロック停止信号生成回路の動作について説明する。ここで、図 4 は、本発明の LSI のクロック停止信号生成回路の動作を表す一実施例のタイミングチャートである。

【0030】本発明の LSI のクロック停止信号生成回路 10 において、各々の入力ピンから入力される信号 S1, S2, ..., SN は、これに各々対応する状態遷移検出回路 16 によって常にモニターされている。図 4 のタイミングチャートに示すように、各々の状態遷移検出回路 16 によって、全ての信号 S1, S2, ..., SN が停止していることが検出された場合、全ての ENOR ゲート 26 の出力信号はハイレベルに保持される。

【0031】これによって、AND ゲート 28、NAND ゲート 30 の出力信号は各々ハイレベル、ローレベルとなり、カウンタ 18 によって、クロック信号 CLK のカウントが開始される。カウンタ 18 によって、予め設定された一定のカウント数 (nT) までクロック信号 CLK がカウントされると、カウンタ 18 の出力信号 CO がハイレベルとなり、スリープフラグ生成用レジスタ 20 がセットされ、スリープフラグ SLP がハイレベルにセットされる。

【0032】続いて、スリープフラグ SLP のハイレベルは、クロック信号 CLK の立ち下がりでクロック停止回路 14 のフリップフロップ 32 に保持され、これによって、内部クロック信号は、AND ゲート 34 によって強制的にローレベルに保持される。このように、本発明においては、低消費電力モードとして、内部回路に供給される内部クロックを停止することによって、内部回路の一切の動作が停止され、その消費電力を低減させることができる。

【0033】その後、信号 S1, S2, ..., SN の内の少なくとも 1 つが遷移したことが検出された場合、ENOR ゲート 26 の出力信号はローレベルになる。これによって、AND ゲート 28、NAND ゲート 30 からは、各々ローレベル、ハイレベルが出力され、カウンタ 18 の出力信号 CO がクリアされてローレベルとなり、スリープフラグ生成用レジスタ 20 が NAND ゲート 30 の出力信号によってリセットされ、スリープフラグ SLP はローレベルになる。

【0034】続いて、スリープフラグ SLP のローレベルは、クロック信号 CLK の立ち下がりでクロック停止回路 14 のフリップフロップ 32 に保持され、これによって、クロック信号 CLK が、AND ゲート 34 を介して内部クロック信号として内部回路に供給される。これにより、内部回路は動作を再開する。本発明の LSI のクロック停止信号生成回路 10 は、基本的に以上のように動作する。

【0035】以上、本発明の LSI のクロック停止信号生成回路について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲におい

て、種々の改良や変更をしてもよいのはもちろんである。

【0036】例えば、カウンタに予め複数のカウント数を設定しておき、これら複数のカウント数に応じて複数のスリープフラグを生成し、LSI内部で複数の低消費電力モードを発生させてもよいし、モニターする信号を各々グループ分けし、本発明のLSIのクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグSLPを生成し、LSI内部で複数の低消費電力モードを発生させてもよいし、あるいは、これらを組み合わせてもよい。

【0037】

【発明の効果】以上詳細に説明した様に、本発明のLSIのクロック停止信号生成回路は、入力ピンまたは入力状態の双方向ピンから各々入力される2本以上の信号の状態をモニターし、これら2本以上の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成し、このスリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するようにしたものである。このように、本発明のLSIのクロック停止信号生成回路によれば、複数の信号をモニターすることによって、低消費電力モードに移行させることができるかどうかを自発的に判断しているため、LSIの外部から、低消費電力モードに移行させるための各種設定や解除の指示を直接的あるいは間接的に行う必要が全くなく、CPUのソフトウェアや外付けハードウェアによる制御を不要のもの

とすることができるため、そのためのコストを削減することができるし、自発的に判断して低消費電力モードに移行させているため、きめ細かい消費電力制御を行うことができる。

【図面の簡単な説明】

【図1】 本発明のLSIのクロック停止信号生成回路の一実施例の構成概念図である。

【図2】 本発明のLSIのクロック停止信号生成回路の状態モニター回路の一実施例の構成回路図である。

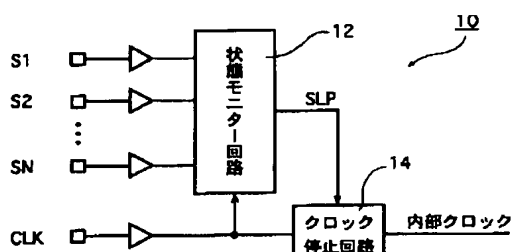
【図3】 本発明のLSIのクロック停止信号生成回路のクロック停止回路の一実施例の構成回路図である。

【図4】 本発明のLSIのクロック停止信号生成回路の動作を表す一実施例のタイミングチャートである。

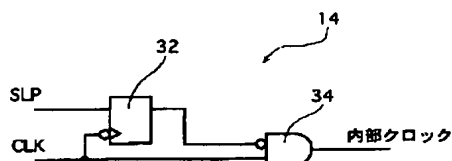
【符号の説明】

- 10 LSIのクロック停止信号生成回路
- 12 状態モニター回路
- 14 クロック停止回路
- 16 状態遷移検出回路
- 18 カウンタ
- 20 スリープフラグ生成用レジスタ
- 22, 24, 32 フリップフロップ
- 26 ENORゲート
- 28, 34 ANDゲート
- 30 NANDゲート
- S1, S2, ..., SN 信号
- CLK クロック信号
- SLP スリープフラグ

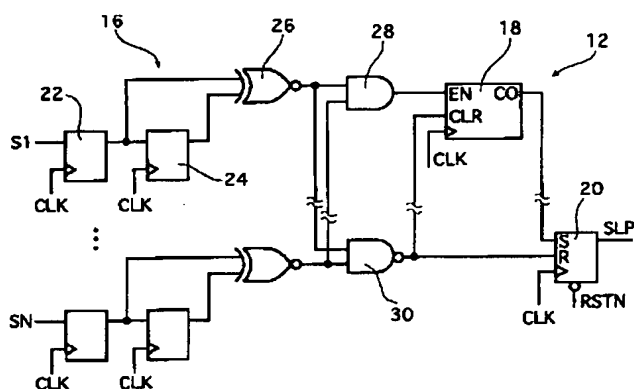
【図1】



【図3】



【図2】



【図 4】

